

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc806 U.S. PTO
09/730313
12/05/00

In re application of
Yoshinori MURAMATSU

Application. No.: To be assigned

Filed: December 5, 2000

For: **IMAGE SENSOR AND METHOD OF
DRIVING THE SAME**

Art Unit: To be assigned

Examiner: To be assigned

Docket No.: APM-01401

Certificate of Express Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, Washington, D.C. 20231 on this date of December 5, 2000.

Tracey A. Newell

Name: Tracey A. Newell

Express Mail Label: EL506928503US

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

Attached hereto is Japanese Application No. 11-349180, filed December 8, 1999, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-951-6676.

Respectfully submitted,
HUTCHINS WHEELER & DITTMAR

Donald W. Muirhead

Donald W. Muirhead

Reg. No. 33,978

Patent Group

Hutchins, Wheeler & Dittmar

101 Federal Street, Boston, MA 02110-1804

December 5, 2000

Date



26339

PATENT TRADEMARK OFFICE

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

天野
US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年12月 8日

出願番号
Application Number:

平成11年特許願第349180号

出願人
Applicant(s):

日本電気株式会社

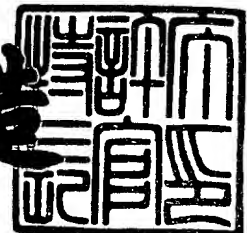
JC806 U.S. PRO
09/730313
12/05/00

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月29日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 74112009

【提出日】 平成11年12月 8日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01N 5/335

【発明の名称】 イメージセンサー及びイメージセンサーの駆動方法

【請求項の数】 17

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 村松 良徳

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100070530

 【弁理士】

 【氏名又は名称】 畑 泰之

 【電話番号】 03-3582-7161

【手数料の表示】

 【予納台帳番号】 043591

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9603496

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 イメージセンサー及びイメージセンサーの駆動方法

【特許請求の範囲】

【請求項 1】 ピクセルアレイ、水平シフトレジスタ、垂直シフトレジスタとから構成されたイメージセンサーであって、当該イメージセンサーには更に水平ブランキングカウンタが設けられている事を特徴とするイメージセンサー。

【請求項 2】 当該水平ブランキングカウンタは、シフトレジスタで構成されている事を特徴とする請求項 1 記載のイメージセンサー。

【請求項 3】 当該水平ブランキングカウンタは、適宜の外部トリガーにより活性化される事を特徴とする請求項 1 又は 2 に記載のイメージセンサー。

【請求項 4】 当該水平ブランキングカウンタは、当該イメージセンサーに於けるブランキング期間をカウントするものである事を特徴とする請求項 1 乃至 3 の何れかに記載のイメージセンサー

【請求項 5】 当該垂直シフトレジスタは、当該水平ブランキングカウンタの活性化と同期して活性化される様に構成されている事を特徴とする請求項 1 乃至 4 の何れかに記載のイメージセンサー。

【請求項 6】 当該水平ブランキングカウンタのカウントアップに同期してブランキング終了フラグが立つ様に構成されている事を特徴とする請求項 1 乃至 5 の何れかに記載のイメージセンサー。

【請求項 7】 当該ブランキング終了フラグに応答して当該水平シフトレジスタが活性化される様に構成されている事を特徴とする請求項 1 乃至 6 の何れかに記載のイメージセンサー。

【請求項 8】 当該水平シフトレジスタのカウントアップに同期して水平走査終了フラグが立つ様に構成されている事を特徴とする請求項 1 乃至 7 の何れかに記載のイメージセンサー。

【請求項 9】 当該水平走査終了フラグに応答して、当該水平ブランキングカウンタが活性化される様に構成されている事を特徴とする請求項 1 乃至 8 の何れかに記載のイメージセンサー。

【請求項 1 0】 ピクセルアレイ、水平シフトレジスタ、垂直シフトレジスタ及びシフトレジスタから構成された水平ブランキングカウンタが設けられているイメージセンサーに於いて、当該水平ブランキングカウンタから当該ピクセルアレイの内部動作に必要なタイミング信号を出力させ、当該信号に基づき、該各シフトレジスタ間で相互にタイミング信号をやりとりする様に構成されている事を特徴とするイメージセンサー。

【請求項 1 1】 ピクセルアレイ、水平シフトレジスタ、垂直シフトレジスタ及びシフトレジスタから構成された水平ブランキングカウンタが設けられているイメージセンサーに於いて、当該水平ブランキングカウンタから当該ピクセルアレイの内部動作に必要なタイミング信号を出力させ、当該信号に基づき、該各シフトレジスタ間で相互にタイミング信号をやりとりする様に構成されていると共に、当該ピクセルアレイに対する露光期間中に、当該ピクセルアレイに設けられたピクセルに接続されているデータ線の電源を切断するスイッチング手段が更に設けられている事を特徴とする請求項 1 乃至 1 0 の何れかに記載のイメージセンサー。

【請求項 1 2】 ピクセルアレイ、水平シフトレジスタ、垂直シフトレジスタ及びシフトレジスタから構成された水平ブランキングカウンタが設けられているイメージセンサーに於いて、当該水平ブランキングカウンタから当該ピクセルアレイの内部動作に必要なタイミング信号を出力させ、当該信号に基づき、該各シフトレジスタ間で相互にタイミング信号をやりとりする事を特徴とするイメージセンサーの駆動方法。

【請求項 1 3】 当該水平ブランキングカウンタを、適宜の外部トリガーにより活性化させる事を特徴とする請求項 1 2 に記載のイメージセンサーの駆動方法。

【請求項 1 4】 該水平ブランキングカウンタに当該イメージセンサーに於けるブランキング期間をカウントせしめると共に、当該当該水平ブランキングカウンタの活性化と同期して当該垂直シフトレジスタを活性化させる事を特徴とする請求項 1 2 又は 1 3 に記載のイメージセンサーの駆動方法。

【請求項 1 5】 当該水平ブランキングカウンタのカウントアップに同期

してブランキング終了フラグを立てると共に、当該ブランキング終了フラグに
 答して当該水平シフトレジスタを活性化される事を特徴とする請求項 1 2 乃至 1
 4 の何れかに記載のイメージセンサーの駆動方法。

【請求項 1 6】 当該水平シフトレジスタのカウントアップに同期して水平
 走査終了フラグを立てると共に、当該水平走査終了フラグに答して当該水平ブ
 ランキングカウンタを活性化される事を特徴とする請求項 1 2 乃至 1 5 の何れ
 かに記載のイメージセンサーの駆動方法。

【請求項 1 7】 ピクセルアレイ、水平シフトレジスタ、垂直シフトレジス
 タ及びシフトレジスタから構成された水平ブランキングカウンタが設けられて
 いるイメージセンサーに於いて、当該水平ブランキングカウンタから当該ピク
 セルアレイの内部動作に必要なタイミング信号を出力させ、当該信号に基づき、
 該各シフトレジスタ間で相互にタイミング信号をやりとりする様に構成せしめ
 ると共に、当該ピクセルアレイに対する露光期間中には、当該ピクセルアレイに設
 けられたピクセルに接続されているデータ線の電源を切断する事を特徴とする請
 求項 1 2 乃至 1 6 の何れかに記載のイメージセンサーの駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、イメージセンサー及びイメージセンサーの駆動方法に関し、特に詳
 しくは、分周ノイズなく、回路構成が簡単で、余計な外部制御信号を必要としな
 いイメージセンサー及びイメージセンサーの駆動方法に関するものである。

【0 0 0 2】

【従来の技術】

従来より、イメージセンサーとしては、多くの異なる構成を有するものが公開
 されている。

【0 0 0 3】

中でも、MOS型イメージセンサー及びCCDイメージセンサーがその代表的
 なものとして知られている。

【0 0 0 4】

処で、MOS型イメージセンサは、特に専用プロセスが必要なCCDイメージセンサと違い、標準MOSプロセスで作製可能なために、低電圧・単一電源動作により低消費電力なこと、および周辺ロジックやマクロがワンチップ化できる利点があり、近年注目を浴びている。

良く知られている従来のMOS型イメージセンサの構成の一例を図3に示す回路ブロック図を参照しながら説明する。

【0005】

即ち、上記した従来のMOS型イメージセンサ10に於いては、ピクセルアレイ1は、垂直シフトレジスタ2が、当該垂直シフトレジスタ2に接続された垂直読み出しシフトクロックの駆動に従って、当該ピクセルアレイ1に於ける、垂直方向に配列された複数の水平アドレス線の内から1ラインずつ順次に選択されると同時に、選択された当該水平アドレス線に沿って水平方向に配列された複数本の垂直信号線が、水平読み出しシフトクロック5の駆動に従って、当該水平読み出しシフトクロック5に接続されている水平シフトレジスタ順次に選択される殊によって、所定のアドレスにあるセル部の電荷が順次に読み出される様に構成されている。

【0006】

然しながら、係る従来のイメージセンサー10に於いては、当該垂直シフトレジスタ2及び当該水平シフトレジスタ3は、それらの動作に必要なタイミング信号をそれぞれ外部に設けた制御手段6等の出力信号、外部トリガー信号、により、当該垂直読み出しシフトクロック及び当該水平読み出しシフトクロック5を介して供給される様に構成されている。

【0007】

その結果、上記した従来のMOS型イメージセンサに於いては、当該垂直シフトレジスタ2及び水平シフトレジスタ3の動作タイミングを外部で生成しなければならず、従って、入力する外部制御信号が増えるという欠点もある他、ノイズの発生が多くなり、その対策を別途講ずる必要性が有った。

【0008】

更には、他の従来例として図4に示す様に、読み出し用のシフトレジスタ以外

にバイナリカウンタを設けて内部で動作に必要なタイミングを生成することも良く知られている。

【0009】

即ち、上記従来例に於いては、図3の構成に加えて、図示の通りバイナリカウンタから構成された垂直読み出し期間カウンタ7、バイナリカウンタから構成された水平読み出し期間カウンタ8、及びバイナリカウンタから構成された水平ブランキングカウンタ9が設けられている。

【0010】

然しながら、係る従来例に於いては、各バイナリカウンタによるメインクロックの分周ノイズがアナログ信号に乘る可能性があると同時に、また、シフトレジスタと別にバイナリカウンタを設ける必要があるため、回路構成が複雑で大きくなるという問題もある。

その他、特開平6-78218号公報には、イメージセンサーに於いて、各ピクセルから蓄積時間の異なる複数のビデオ信号を出力させる手段と当該蓄積時間の異なる複数のビデオ信号の差信号を出力する手段とを設けたイメージセンサーが記載されているが、イメージセンサー自体の回路構成が複雑となるという問題が有った。

【0011】

又、特開平10-93069号公報には、MOS型イメージセンサに於いて、垂直信号線の信号を水平信号線に順次出力するに際し、当該垂直信号線と当該水平信号線との間に、N型トランジスタとP型トランジスタとを並列に接続し、それぞれのトランジスタのゲートを水平シフトレジスタにより制御するように構成された水平選択トランジスタを使用する技術が開示されているが、トランジスタの数が倍増する為、回路構成が複雑となる他、コストアップの要因となる。

【0012】

【発明が解決しようとする課題】

従って、本発明の目的は、上記した従来技術の欠点を改良し、ピクセルアレイ、読み出し用の水平および垂直シフトレジスタ、そして水平ブランキング期間カウンタ用シフトレジスタを用いて、内部動作に必要なタイミング信号を生成し、

相互にやり取りすることによって、分周ノイズなく、回路構成が簡単で、余計な外部制御信号を必要としないMOS型イメージセンサを提供することにある。

【0013】

【課題を解決するための手段】

本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。

【0014】

即ち、本発明に係る第1の態様としては、ピクセルアレイ、水平シフトレジスタ、垂直シフトレジスタとから構成されたイメージセンサーであって、当該イメージセンサーには更に水平ブランキングカウンタが設けられているイメージセンサーであり、又、本発明に係る第2の態様としては、ピクセルアレイ、水平シフトレジスタ、垂直シフトレジスタ及びシフトレジスタから構成された水平ブランキングカウンタが設けられているイメージセンサーに於いて、当該水平ブランキングカウンタから当該ピクセルアレイの内部動作に必要なタイミング信号を出力させ、当該信号に基づき、該各シフトレジスタ間で相互にタイミング信号をやりとりする様に構成されたイメージセンサーの駆動方法である。

【0015】

【発明の実施の形態】

本発明に係る当該イメージセンサー及びイメージセンサーの駆動方法は、上記した様な技術構成を採用しているので、水平および垂直の走査手段およびブランキングカウント手段をシフトレジスタ構成としたため、メインクロックに対する分周ノイズを生じないというという効果が得られると共に、本来ピクセルアレイの読み出しに用いる水平および垂直シフトレジスタからも、内部動作に必要なタイミング信号を生成し、相互にやり取りすることによって、回路構成が簡略化できる。

【0016】

また、内部で水平・垂直・ブランキング間のタイミングを生成するため、外部からの動作用制御信号を少なくできる効果もある。なお、上記実施例では、水平・垂直・ブランキング間のタイミング信号として、相互の終了フラグをやり取

りしているが、たとえば、ランダムアクセスや部分アクセスなどの特殊な動作を行う際にも、必要な信号を、前記水平および垂直の走査手段およびブランキングカウント手段から生成し、回路構成を簡略化することが可能である。

【実施例】

以下に、本発明に係るイメージセンサー及びイメージセンサーの駆動方法の一具体例の構成を図面を参照しながら詳細に説明する。

【0017】

即ち、図1は、本発明に係る当該イメージセンサーの一具体例の構成を示すブロックダイアグラムであって、図中、ピクセルアレイ1、水平シフトレジスタ3、垂直シフトレジスタ2とから構成されたイメージセンサー20であって、当該イメージセンサー20には更に水平ブランキングカウンタ11が設けられているイメージセンサー20が示されている。

【0018】

当該水平ブランキングカウンタ11は、シフトレジスタで構成されている事が好ましい。

【0019】

又、本発明に於ける当該イメージセンサー20に於いては、当該垂直シフトレジスタ2は、垂直読み出しシフトクロック4を介して所定の信号を受ける様に構成されていても良く、又当該水平シフトレジスタ3も、水平読み出しシフトクロック5を介して所定の信号を受ける様に構成されていても良い。

【0020】

本発明に於いて使用される当該水平ブランキングカウンタ11は、適宜の外部トリガーにより活性化される様に構成されている事が好ましい。

【0021】

一方、本発明に於ける当該水平ブランキングカウンタ11は、当該イメージセンサー20に於けるブランキング期間をカウントするものである。

【0022】

又、本発明に於ける当該垂直シフトレジスタ2は、当該水平ブランキングカウンタ11の活性化と同期して活性化される様に構成されている事が好ましく、

又、当該水平ブランキングカウンタ 1 1 は、それ自身のカウントアップに同期して、ブランキング終了フラグ 2 2 が立つ様に構成されている事も望ましい。

【 0 0 2 3 】

更に、本発明に於いては、当該ブランキング終了フラグ 2 2 に応答して当該水平シフトレジスタ 3 が、要すれば、当該水平読み出しシフトクロック 5 を介して活性化される様に構成されている事も好ましい。

【 0 0 2 4 】

一方、本発明に係る当該イメージセンサー 2 0 に於いては、当該水平シフトレジスタ 3 のカウントアップに同期して水平走査終了フラグ 2 3 が立つ様に構成されている事も望ましい。

【 0 0 2 5 】

本発明に於いて、当該水平走査終了フラグ 2 3 に応答して、当該水平ブランキングカウンタ 1 1 が活性化される様に構成されている事が望ましく、又、当該水平走査終了フラグ 2 3 に応答して、当該垂直シフトレジスタも活性化される様に構成されている事も望ましい。

【 0 0 2 6 】

即ち、本発明に係る当該イメージセンサー 2 0 に於いては、当該ピクセルアレイ 1、水平シフトレジスタ 3、垂直シフトレジスタ 2 及びシフトレジスタから構成された水平ブランキングカウンタ 1 1 が設けられていると共に、当該水平ブランキングカウンタ 1 1 から当該ピクセルアレイ 1 の内部動作に必要なタイミング信号 2 2 を出力させ、当該信号 2 2 に基づき、該各シフトレジスタ間で相互にタイミング信号をやりとりする様に構成されているものである。

【 0 0 2 7 】

以下に本発明に係る当該イメージセンサー 2 0 の一具体例の構成及びその動作に付いてより詳細に説明する。

【 0 0 2 8 】

つまり、本発明は、ピクセルアレイ読み出し用の水平および垂直の走査手段を内蔵した M O S 型イメージセンサにおいて、前記走査手段の他に水平ブランキング期間のカウント手段を設け、かつそれらをすべてシフトレジスタ構成とし、更

にそれらから内部動作に必要なタイミング信号を生成し、相互にやり取りすることを特徴としている。

【 0 0 2 9 】

図 1 の、本発明による回路ブロック図に示すように、本発明に従って、ピクセル読み出し用の水平および垂直の走査シフトレジスタ 5、4、そして水平ブランキング期間カウント用のシフトレジスタ 1 1 を設けて、それらからタイミング信号を生成し、相互にやり取りすることにより内部動作が自動的に進行するようになっている。

つまり、本発明に係る当該イメージセンサー 2 0 に於いては、図 4 に示した従来のイメージセンサーの様に、垂直読み出しシフトクロック及び水平読み出しシフトクロックの他に更にバイナリカウンタから構成された垂直読み出し期間カウンタ 7 や、同様にバイナリカウンタから構成された水平読み出し期間カウンタ 8 を設けることなく、垂直読み出し期間カウンタ 7 シフトクロック 4 が付加された垂直シフトレジスタ 2、及び必要に応じて付加される水平読み出しシフトクロック 5 を有する水平シフトレジスタ 3 そして、シフトレジスタ構成からなるブランキングカウント手段 1 1 とを設ける事によって、メインクロックの分周ノイズを生じないというという効果が得られる。

【 0 0 3 0 】

また、前記 3 種類のシフトレジスタから、内部動作に必要なタイミング信号を生成し、相互にやり取りすることによって、回路構成が簡略化できる。また外部からの動作制御信号を少なくできる効果もある。

図 1 を参照すると、本発明の一実施例としての CMOS イメージセンサの回路ブロック図が示されている。

【 0 0 3 1 】

当該 CMOS イメージセンサ 2 0 は、ピクセルアレイ 1 の読み出し用の水平走査手段としての水平シフトレジスタ 3 および垂直走査手段としての垂直シフトレジスタ 2、そして水平ブランキング期間のカウント手段としての水平ブランキングカウント用シフトレジスタ 1 1 を有する。垂直シフトレジスタは、ピクセルアレイ内の水平読み出し線 (H L) およびリセット線 (R S T) を行毎に活性化す

るシフト信号を発生する。

【 0 0 3 2 】

水平シフトレジスタは、ピクセルアレイ内の垂直読み出し線（V L）をデータ線（D L）に接続するシフト信号（Y S W）を発生する。これら水平および垂直シフトレジスタ 2、3 により、任意のピクセルが選択され、信号が外部に読み出される。

【 0 0 3 3 】

また、各シフトレジスタは、シフト信号と同時にそれぞれタイミング信号を出力し、それらを相互にやりとりすることによって内部動作が進行する。

【 0 0 3 4 】

以下、本具体例の動作につき説明する。まず、本発明の一実施例の C M O S イメージセンサの動作について図 2（A）乃至図 2（C）のタイミング図を用いて説明する。

【 0 0 3 5 】

即ち、適宜の制御手段 6 を介して入力される、外部からの動作開始トリガを受けて、水平ブランキングカウント用シフトレジスタ 1 1 のカウントが C K 0 から C K j まで進む。

【 0 0 3 6 】

この水平ブランキング期間には、垂直シフトレジスタにより水平読み出し線 H L 0 が活性化され、0 行目のピクセル信号が垂直読み出し線（V L）に読み出される。

【 0 0 3 7 】

水平ブランキングカウント用シフトレジスタの C K j の出力時、同時にブランキング終了フラグ 2 2 が出力され、ブランキング終了フラグ 2 2 を受けた、必要に応じて設けられる水平読み出しシフトクロック 5 を有する、水平シフトレジスタ 3 が Y S W 0 から Y S W k まで順番に活性化される。

【 0 0 3 8 】

これにより、垂直読み出し線（V L）に読み出されていた信号が Y S W に従い、順番にデータ線（D L）に読み出され外部に出力される。

【 0 0 3 9 】

水平シフトレジスタ 3 の Y S W 出力時には、同時に水平走査終了フラグ 2 3 が出力され、水平走査終了フラグ 2 3 を受けた水平ブランキングカウント用シフトレジスタ 1 1 のカウントが再び始まる。この時、当該水平走査終了フラグ 2 3 の信号が、当該垂直読み出しシフトクロック 4 にも供給され、その結果、同時に垂直シフトレジスタ 2 は垂直シフトレジスタシフトクロック 4 により 0 から 1 に値がシフトし、水平読み出し線 H L 1 が活性化され、1 行目のピクセル信号が垂直読み出し線 (V L) に読み出される。以下同様の動作が繰り返される。

【 0 0 4 0 】

なお、上記実施例では、水平・垂直・ブランキング間のタイミング信号として、相互の終了フラグをやり取りしているが、たとえば、ランダムアクセスや部分アクセスなどの特殊な動作を行う際にも、必要な信号を、前記水平および垂直の走査手段およびブランキングカウント手段から生成し、回路構成を簡略化することが可能である。

【 0 0 4 1 】

尚、図 1 に於いては、特には図示されてはいないが、当該ピクセルアレイ 1 に於ける各アドレスを選択する為に、必要な垂直同期信号及び水平同期信号等は、従来公知の手段によって出力されるものであり、又フレーム終了信号も同様に従来の手段を利用して出力される様に構成されているものである事は言うまでもない。

【 0 0 4 2 】

次に、本発明に係る当該イメージセンサー 2 0 の他の具体例に付いて説明する。

【 0 0 4 3 】

即ち、本発明に係る当該イメージセンサー 2 0 の他の具体例としては、その基本的構成は上記の通りであるが、露光期間中には、データ線 (D L) の電源を切る様に構成したものである。

【 0 0 4 4 】

これは、本発明に係るイメージセンサーに於いては、ピクセルアレイ 1 に対す

る於ける読み出し用水平シフトレジスタ 3 からタイミング信号を生成するため、露光期間中にも、本来は、読み出し期間中にしか必要のない水平シフトレジスタ Y S W が動作し、データ線 (D L) の充放電により電流が流れる場合がある。

【0 0 4 5】

そこで、露光期間中には、データ線 (D L) の電源を切ることによって、露光期間中の不要な電流を減らすことが可能になる。

【0 0 4 6】

即ち、本発明に於ける他の具体例の構成としては、ピクセルアレイ 1、水平シフトレジスタ 3、垂直シフトレジスタ 2 及びシフトレジスタから構成された水平ブランキングカウンタ 1 1 が設けられているイメージセンサー 2 0 に於いて、当該水平ブランキングカウンタ 1 1 から当該ピクセルアレイ 1 の内部動作に必要なタイミング信号を出力させ、当該信号に基づき、該各シフトレジスタ間で相互にタイミング信号をやりとりする様に構成されていると共に、当該ピクセルアレイ 1 に対する露光期間中に、当該ピクセルアレイ 1 に設けられたピクセルに接続されているデータ線 (D L) の電源を切断するスイッチング手段 1 8 が更に設けられているものである。

【0 0 4 7】

当該スイッチング手段 1 8 は、例えば当該制御手段 6 からの制御信号に応答して駆動させる事が可能である。

【0 0 4 8】

上記した説明より明らかな様に、本発明に係る当該イメージセンサーの駆動方法としては、例えば、ピクセルアレイ 1、水平シフトレジスタ 3、垂直シフトレジスタ 2 及びシフトレジスタから構成された水平ブランキングカウンタ 1 1 が設けられているイメージセンサー 2 0 に於いて、当該水平ブランキングカウンタ 1 1 から当該ピクセルアレイの内部動作に必要なタイミング信号を出力させ、当該信号に基づき、該各シフトレジスタ間で相互にタイミング信号をやりとりする様に構成されているイメージセンサーの駆動方法である事が望ましい。

【0 0 4 9】

更に、本発明に係る当該イメージセンサーの駆動方法に於いては、当該水平ブ

ランキングカウンタ 1 1 を、適宜の外部トリガーにより活性化させる様に構成する事も可能である。

【 0 0 5 0 】

一方、本発明に係る当該イメージセンサーの駆動方法に於いては、該水平ブランキングカウンタ 1 1 に当該イメージセンサーに於けるブランキング期間をカウントせしめると共に、当該当該水平ブランキングカウンタ 1 1 の活性化と同期して当該垂直シフトレジスタ 2 を活性化させる事を特徴とする請求項 1 2 又は 1 3 に記載のイメージセンサーの駆動方法。

【 0 0 5 1 】

又、本発明に於いては、当該水平ブランキングカウンタ 1 1 のカウントアップに同期してブランキング終了フラグ 2 2 を立てると共に、当該ブランキング終了フラグ 2 3 に応答して当該水平シフトレジスタ 3 を活性化される様に構成する事も望ましい。

【 0 0 5 2 】

更に、本発明に於いては、当該水平シフトレジスタ 3 のカウントアップに同期して水平走査終了フラグ 2 3 を立てると共に、当該水平走査終了フラグ 2 3 に応答して当該水平ブランキングカウンタ 1 1 を活性化される様に構成する事も望ましい。

【 0 0 5 3 】

又、本発明に於ける当該イメージセンサーの駆動方法に於いては、上記した様な基本的な回路構成に於て、当該ピクセルアレイ 1 に対する露光期間中には、当該ピクセルアレイ 1 に設けられたピクセルに接続されているデータ線 (DL) の電源を切断する様に構成する事も可能である。

【 0 0 5 4 】

【発明の効果】

本発明に係る当該イメージセンサー及びイメージセンサーの駆動方法は、上記した様な技術構成を採用しているので、特に専用プロセスが必要な CCD イメージセンサと違い、標準 MOS プロセスで作製可能なために、低電圧・単一電源動作により低消費電力なこと、および周辺ロジックやマクロがワンチップ化できる

利点がある。

【0055】

又、本発明に於いては、水平および垂直の走査手段およびブランキングカウン
ト手段をシフトレジスタ構成としたため、メインクロックに対する分周ノイズを
生じないというという効果が得られる。

【0056】

また、本来ピクセルアレイの読み出しに用いる水平および垂直シフトレジスタ
からも、内部動作に必要なタイミング信号を生成し、相互にやり取りすること
によって、回路構成が簡略化できる。

【0057】

また、内部で水平・垂直・ブランキング間のタイミングを生成するため、外部
からの動作用制御信号を少なくできる効果もある。

【図面の簡単な説明】

【図1】

図1は、本発明に係るイメージセンサーの1の具体例の構成を示すブロックダ
イアグラムである。

【図2】

図2は、本発明に係るイメージセンサーの駆動方法の1の具体例に於けるタイ
ミングチャートである。

【図3】

図3は、従来のイメージセンサーの構成の一例を示すブロックダイアグラムで
ある。

【図4】

図4は、従来のイメージセンサーの構成の他の例を示すブロックダイアグラム
である。

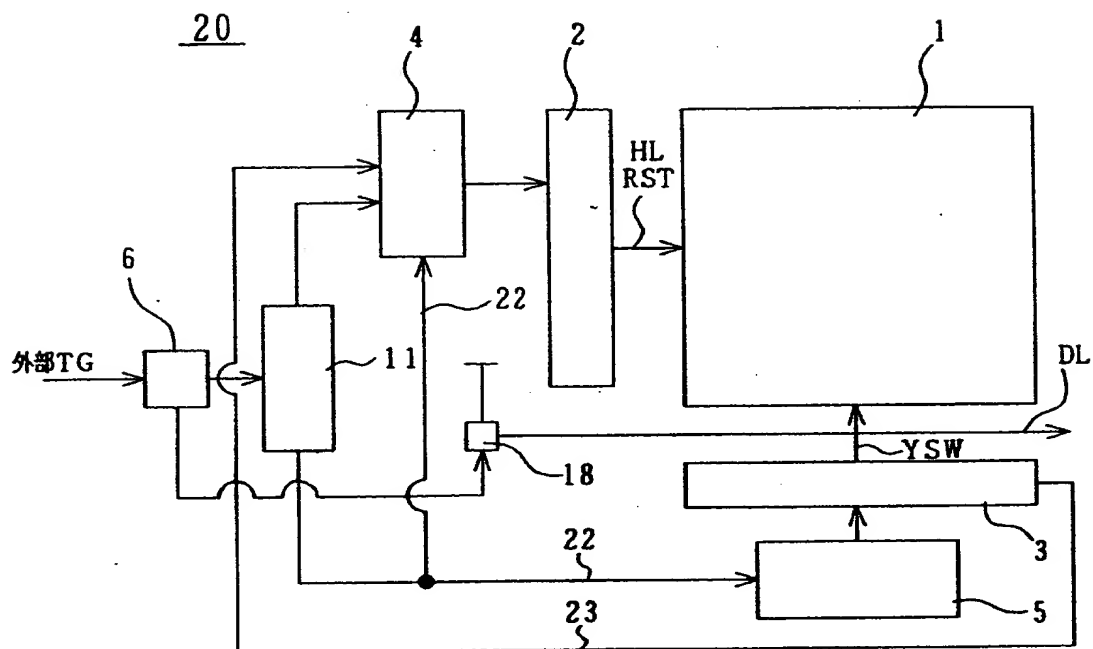
【符号の説明】

- 1 …ピクセルアレイ
- 2 …垂直シフトレジスタ
- 3 …水平シフトレジスタ

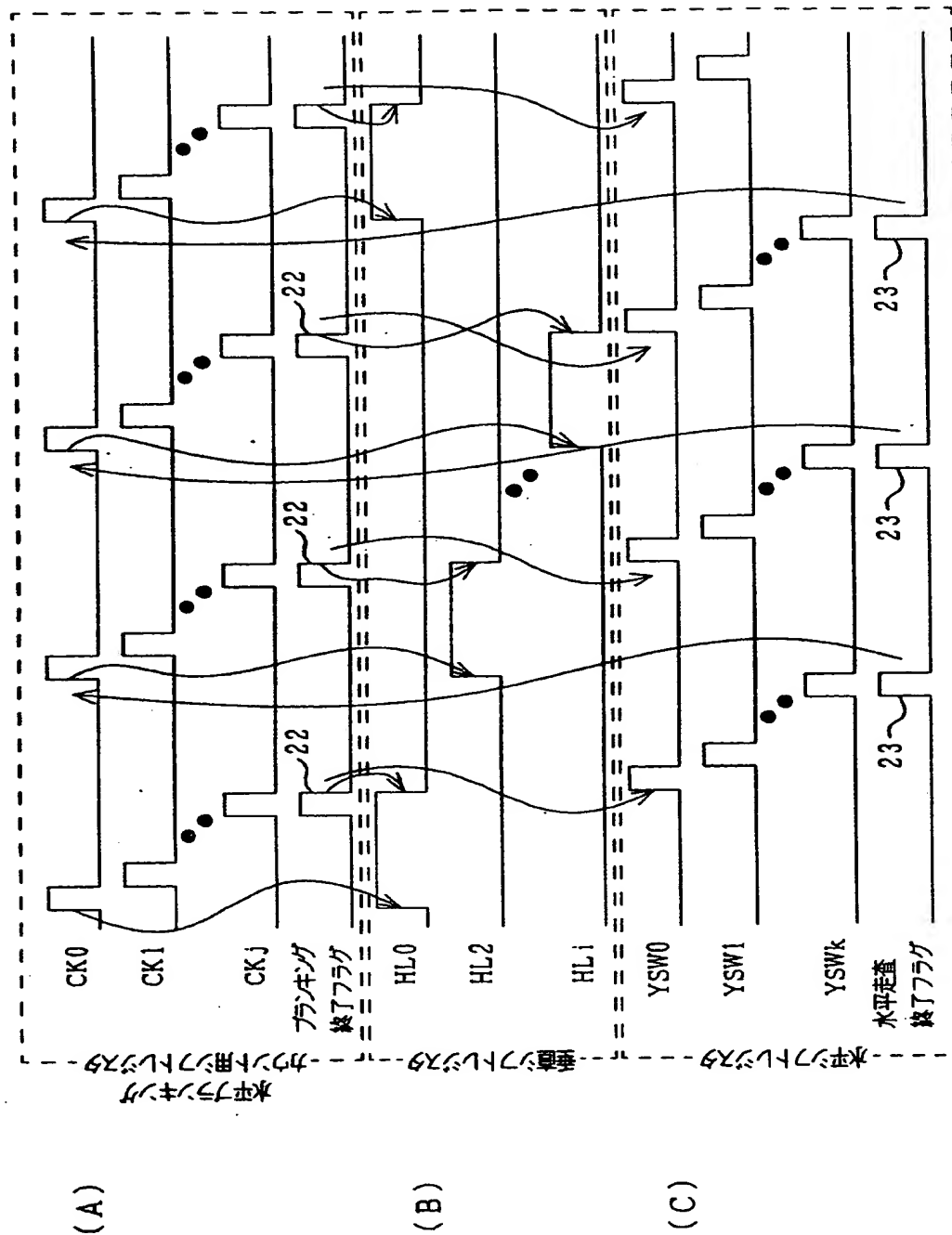
- 4…垂直読み出しシフトクロック
- 5…水平読み出しシフトクロック
- 6…制御手段
- 7…垂直読み出し期間カウンタ
- 8…水平読み出し期間カウンタ
- 9…水平ブランキングカウンタ
- 1 0、2 0…イメージセンサー
- 1 1…水平ブランキングカウンタ
- 1 8…スイッチ手段
- 2 2…ブランキング終了フラグ
- 2 3…水平走査終了フラグ

【書類名】 図面

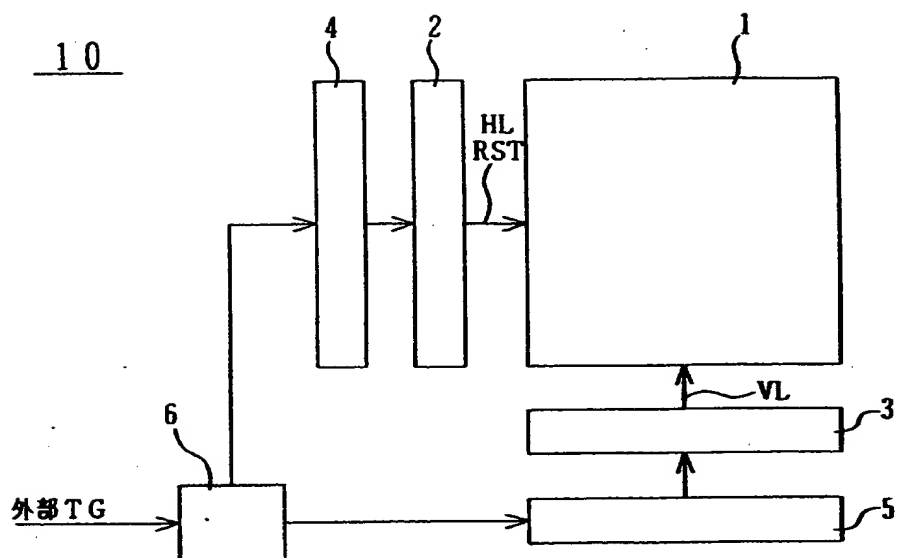
【図 1】



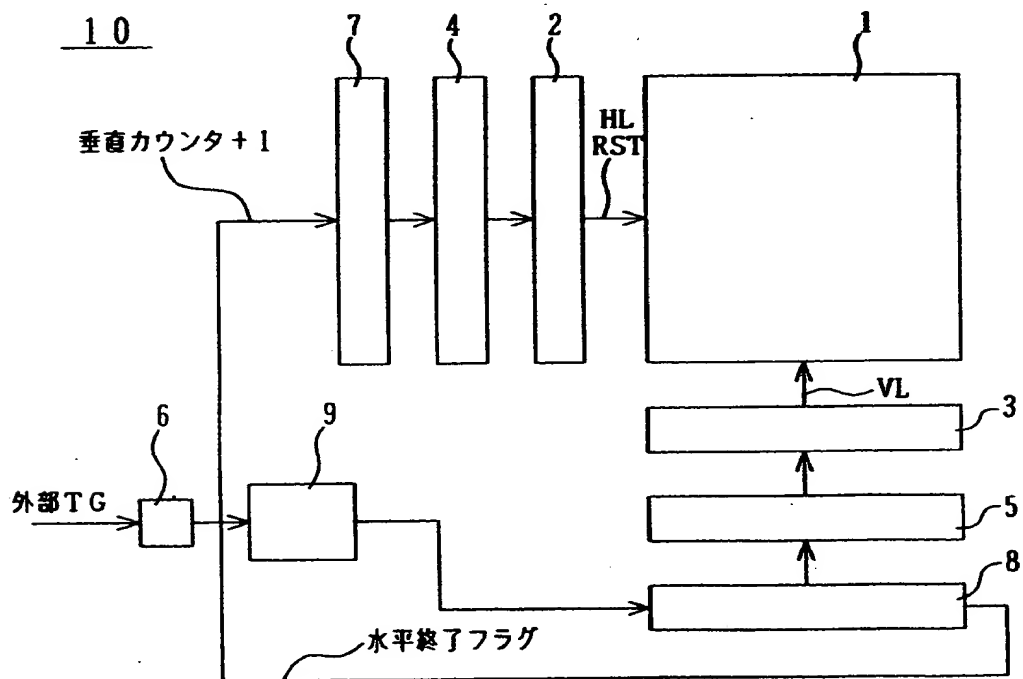
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 分周ノイズがなく、回路構成が簡単で、余計な外部制御信号を必要としないMOS型イメージセンサを提供する。

【解決手段】 ピクセルアレイ 1、水平シフトレジスタ 3、垂直シフトレジスタ 2 とから構成されたイメージセンサー 2 0 であって、当該イメージセンサー 2 0 には、更に水平ブランキングカウンタ 1 1 が設けられているイメージセンサー 2 0。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社